

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 3月11日

出 願 番 号

Application Number:

特願2003-065063

ST.10/C]:

[JP2003-065063]

出 願 人

Applicant(s):

株式会社東芝

BEST AVAILABLE COPY

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2003年 4月 4日

特許庁長官  
Commissioner,  
Japan Patent Office

太田 信一郎

出証番号 出証特2003-3023492

【書類名】 特許願

【整理番号】 A000206106

【提出日】 平成15年 3月11日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/265

【発明の名称】 磁気ランダムアクセスメモリ

【請求項の数】 10

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

    【氏名】 與田 博明

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研究開発センター内

    【氏名】 岸 達也

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

    【氏名】 宮本 順一

【特許出願人】

    【識別番号】 000003078

    【氏名又は名称】 株式会社 東芝

【代理人】

    【識別番号】 100058479

    【弁理士】

    【氏名又は名称】 鈴江 武彦

    【電話番号】 03-3502-3181

【選任した代理人】

    【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 磁気ランダムアクセスメモリ

【特許請求の範囲】

【請求項 1】 非磁性層を挟持した二層の磁性層を有する磁気抵抗素子の前記二層の磁性層の磁化配列状態により変化する抵抗値に“0”、“1”の情報に対応させ、前記磁気抵抗素子に近接配置した書き込み配線に電流を流して誘導磁束を発生させ、前記磁気抵抗素子の二層の磁性層のうちいずれか一方からなる記録層の磁化方向を変化させて情報を書き込む磁気ランダムアクセスメモリにおいて

前記磁気抵抗素子の一方側の磁性層に近接するように書き込みセル選択用の絶縁ゲート型のトランジスタのチャネル領域が配設され、前記トランジスタは、前記磁気抵抗素子に対する情報の書き込みに際して書き込み電流として所望の大きさのチャネル電流が流れるように制御されることを特徴とする磁気ランダムアクセスメモリ。

【請求項 2】 前記トランジスタは、書き込み電流として、書き込みデータ“0”、“1”に対応して互いに逆向きのチャネル電流が流れるように制御されることを特徴とする請求項 1 記載の磁気ランダムアクセスメモリ。

【請求項 3】 前記トランジスタのゲート電極に連なるゲート配線を備え、前記磁気抵抗素子に対する情報の書き込みに際して、前記ゲート配線は書き込み電流が一定方向に供給されることを特徴とする請求項 1 または 2 記載の磁気ランダムアクセスメモリ。

【請求項 4】 前記トランジスタのゲート電極に連なるゲート配線を備え、前記磁気抵抗素子に対する情報の書き込みに際して、前記ゲート配線は書き込み電流が書き込みデータ“0”、“1”に対応して互いに逆向きに流れるように供給され、前記トランジスタは、書き込み電流としてチャネル電流が一定方向に流れるように制御されることを特徴とする請求項 1 記載の磁気ランダムアクセスメモリ。

【請求項 5】 前記トランジスタのゲート電極の周面の少なくとも一部が磁性体により被覆されていることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記

載の磁気ランダムアクセスメモリ。

【請求項 6】 前記トランジスタは薄膜トランジスタであることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の磁気ランダムアクセスメモリ。

【請求項 7】 前記トランジスタのチャネル領域が形成されている基板領域を前記磁気抵抗素子とともに挟むように配設された軟磁性層をさらに具備することを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の磁気ランダムアクセスメモリ。

【請求項 8】 前記トランジスタは、読み出しセル選択用のトランジスタを兼ねることを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の磁気ランダムアクセスメモリ。

【請求項 9】 前記記録層は、多層構造からなることを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の磁気ランダムアクセスメモリ。

【請求項 10】 半導体基板上に形成された配線と、

前記配線に沿って間欠的に配置され、それぞれ磁性膜からなる固定層と自由層との間に非磁性層が挟まれた構造によってトンネル磁気抵抗効果を有する複数のトンネル磁気抵抗素子と、

前記複数のトンネル磁気抵抗素子に対応して前記配線に沿って間欠的に配置され、それぞれ配線の一部をゲート電極とし、前記複数の磁気抵抗素子の各自由層に対応して近接するチャネル領域を有する複数の書き込みセル選択用の絶縁ゲート型のトランジスタ

とを具備し、前記トランジスタは、前記磁気抵抗素子に対する情報の書き込みに際して書き込み電流として所望の大きさのチャネル電流が流れるように制御されることを特徴とする磁気ランダムアクセスメモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、磁気ランダムアクセスメモリ（MRAM: Magnetic Random Access Memory）に係り、特にトンネル型磁気抵抗効果により“0”／“1”情報の記憶を行う素子を利用して構成した磁気メモリセルを用いるMRAMにおけるメモリセルの構

造に関する。

【0002】

【従来の技術】

近年、新たな原理により情報を記憶するメモリが数多く提案されているが、そのうちの一つに、トンネル型磁気抵抗(Tunneling Magneto Resistive) 効果を用いて“0” / “1” 情報の記憶を行う強磁性トンネル接合 (Magnetic Tunnel Junction: 以後、MTJ と表記する) 素子を利用して構成した磁気メモリセルを行列状に配置した不揮発性、高速性を併せ持つMRAMが提案されている(例えば、非特許文献1 参照)。

【0003】

図9 は、MRAMで用いられるMTJ 素子の断面構造を概略的に示す。

【0004】

このMTJ 素子は、2つの磁性層(強磁性層、強磁性体膜) 71,72 で1つの非磁性層(トンネルバリア膜) 73を挟んだ構造を有し、2つの磁性層71,72 のスピンの向きが平行であるか反平行であるかによって“0” / “1” 情報を記憶する。

【0005】

通常、2つの磁性層71,72 の一方側には反強磁性層74が配置される。反強磁性層74は、一方側の磁性層72のスピンの向きを固定することによって、他方側の磁性層71のスピンの向きのみを変えることにより情報を容易に書き換えるための部材である。ここで、スピン可変側の磁性層71は自由層(または記録層)、スピン固定側の磁性層72は固定層(またはピン層) と呼ばれる。

【0006】

図10 (a) および (b) は、図9 に示したMTJ 素子の2つの磁性層71,72 のスピンの向きの2つの状態を示している。

【0007】

図10 (a) に示すように、2つの磁性層71,72 のスピンの向き(図示矢印の向き) が平行(同じ) である場合は、2つの磁性層71,72 に挟まれたトンネルバリア膜73のトンネル抵抗は最も低くなる(トンネル電流が最も大きくなる)。

【0008】

図 1 0 ( b ) に示すように、2 つの磁性層 71, 72 のスピンの向きが反平行である場合は、2 つの磁性層 71, 72 に挟まれたトンネルバリア膜 73 のトンネル抵抗は最も高くなる (トンネル電流が最も小さくなる)。

#### 【 0 0 0 9 】

MRAM では、MTJ 素子の抵抗値が異なる 2 つの状態を、“1” 情報の記憶状態 (“1” 状態) および “0” 情報の記憶状態 (“0” 状態) に対応させている。

#### 【 0 0 1 0 】

図 1 1 は、MRAM のセルアレイの平面レイアウトの一例を模式的に示す。

#### 【 0 0 1 1 】

複数の書き込み／読み出し用のビット線 BL と複数の書き込みワード線 WWL が直交方向に配設され、その各交点に対応して MTJ 素子が配設される。この MTJ 素子は、長方形の長辺が書き込みワード線 WWL に沿い、短辺がビット線 BL に沿い、長辺方向に沿うようにスピン方向が付与されている。各ビット線 BL は、同一行 (または列) の複数の MTJ 素子の各固定層に接続されており、各書き込みワード線 WWL は同一列 (または行) の複数の MTJ 素子の各自由層に近接して対向するように配置されている。

#### 【 0 0 1 2 】

図 1 2 は、図 1 1 中の A - A 線に沿って書き込みワード線に垂直な断面におけるメモリセルの 1 個分に着目して構造の一例を示す断面図である。

#### 【 0 0 1 3 】

図 1 3 は、図 1 1 中の B - B 線に沿ってビット線に垂直な断面における構造の一例を示す断面図である。

#### 【 0 0 1 4 】

図 1 2 および図 1 3 において、10 は半導体基板 (例えば P 型 Si 基板)、11 はシャロウトレンチ型の素子分離領域 (STI)、12 はゲート酸化膜、13 は読み出し用セル選択トランジスタ (NMOSFET) のドレイン領域またはソース領域となる不純物拡散層 (N+)、14 はゲート電極 (GC)、15 は第 1 金属配線層 (M1)、16 は第 2 金属配線層 (M2)、17 は第 3 金属配線層 (M3) からなる MTJ 接続用配線、18 は第 1 金属配線層 15 を拡散層 13 へ電氣的に接続するための導電性のコンタクト、19 は第 2 金属配線

層16から第1金属配線層15へ電氣的に接続するための導電性のコンタクト、20は第3金属配線層17から第2金属配線層16へ電氣的に接続するための導電性のコンタクト、21はMTJ素子、22は第4配線層(M4)、23は第4金属配線層22をMTJ素子21へ電氣的に接続するための導電性のコンタクト、24は層間絶縁膜である。

#### 【0015】

なお、図中、配線の用途として、(BL)は書き込み／読み出し用のビット線、(WL)は書き込みワード線、(SL)はソース線、(RWL)は読み出しワード線を表わしており、ソース線(SL)は接地電位に接続される。

#### 【0016】

次に、図11乃至図13を参照してMTJ素子に対する書き込み動作原理を説明する。

#### 【0017】

MTJ素子に対する書き込みは、書き込みワード線WWLおよびビット線BLに電流を流し、両配線に流れる電流により作られる磁界を用いてMTJ素子のスピンの向きを平行または反平行にすることにより達成される。

#### 【0018】

即ち、MTJ素子へ情報を書き込む時には、ビット線BLには書き込みデータに応じて第1の方向またはそれとは逆の第2の方向に向かう電流を流して磁界 $H_x$ を発生させ、書き込みワード線WWLには一定方向に向かう電流のみを流して磁界 $H_y$ を発生させることにより、合成磁界を用いて情報を書き込む。この際、ビット線BLに第1の方向に向かう電流を流すと、MTJ素子のスピンの向きは平行となり、ビット線BLに第2の方向に向かう電流を流すと、MTJ素子のスピンの向きは反平行となる。

#### 【0019】

MTJ素子から情報を読み出す時には、読み出しワード線RWLを活性化させ、選択されたMTJ素子に接続されるスイッチ素子のみをオン状態として電流経路を作り、選択されたビット線BLから接地電位へ電流を流す。その結果、選択されたMTJ素子のみはその抵抗値に応じた電流が流れるので、その電流値を検出することにより情報を読み出すことができる。



## 【 0 0 2 0 】

次に、MTJ 素子のスピンの向きが変わる仕組みについて、図 1 4 および図 1 5 を参照しながら簡単に説明する。

## 【 0 0 2 1 】

図 1 4 は、MTJ 素子の印加磁界の反転による抵抗値の変化特性 (MTJ 曲線) を示している。

## 【 0 0 2 2 】

図 1 5 は、MTJ 素子のアステロイド曲線を示している。

## 【 0 0 2 3 】

図 1 4 に示す MTJ 曲線のように、MTJ 素子の Easy-Axis (容易軸) 方向に磁界  $H_x$  をかけると、MTJ 素子の抵抗値は例えば 17% 程度変化する。この変化率 (変化の前後の抵抗の比) は、MR 比と呼ばれる。なお、MR 比は、MTJ 素子の磁性層の性質により変化する。現在では、MR 比が 50% 程度の MTJ 素子も得られている。MTJ 素子には、Easy-Axis 方向の磁界  $H_x$  と Hard-Axis (困難軸) 方向の磁界  $H_y$  との合成磁界が印加される。

## 【 0 0 2 4 】

図 1 4 中の実線および破線に示すように、Hard-Axis 方向の磁界  $H_y$  の大きさによって、MTJ 素子の抵抗値を変えるために必要な Easy-Axis 方向の磁界  $H_x$  の大きさも変化する。この現象を利用することにより、アレイ状に配置されるメモリセルのうち、選択された書き込みワード線 WWL および選択されたビット線 BL の交点に対応して配置されている MTJ 素子のみにデータを書き込むことができる。

## 【 0 0 2 5 】

即ち、図 1 5 に示すように、Easy-Axis 方向の磁界  $H_x$  と Hard-Axis 方向の磁界  $H_y$  との合成磁界の大きさがアステロイド曲線の外側 (例えば図中の黒丸の位置) にあれば、MTJ 素子の磁性層のスピンの向きを反転させることができる。

## 【 0 0 2 6 】

逆に、Easy-Axis 方向の磁界  $H_x$  と Hard-Axis 方向の磁界  $H_y$  との合成磁界の大きさがアステロイド曲線の内側 (例えば図中の白丸の位置) にある場合には、MTJ 素子の磁性層のスピンの向きを反転させることはできない。

## 【 0 0 2 7 】

従って、Easy-Axis 方向の磁界 $H_x$ とHard-Axis 方向の磁界 $H_y$ との合成磁界の大きさを換え、合成磁界の大きさの $H_x$ - $H_y$  平面内における位置を変えることにより、MTJ 素子に対するデータの書き込みを制御できる。

## 【 0 0 2 8 】

しかし、上記した従来のセル構造は、読み出し用セル選択トランジスタの上方にMTJ 素子を積層しており、8つの金属配線層と1つのMTJ 素子と複数層の層間絶縁膜を必要とする複雑な積層構造であるので、工程数が非常に多くなり、低コストでMRAMを提供することが困難であった。

## 【 0 0 2 9 】

## 【非特許文献1】

Roy Scheuerlein et.al."A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell",ISS CC2000 Technical Digest pp.128~pp.129

## 【 0 0 3 0 】

## 【発明が解決しようとする課題】

上記したように従来のMRAMのセル構造は、複雑な積層構造であり、低コストでMRAMを提供することが困難であるという問題があった。

## 【 0 0 3 1 】

本発明は上記の問題点を解決すべくなされたもので、セル構造を簡易化および微細化し、工程数を大幅に低減し、低コストで実現し得る磁気ランダムアクセスメモリを提供することを目的とする。

## 【 0 0 3 2 】

## 【課題を解決するための手段】

本発明の磁気ランダムアクセスメモリは、非磁性層を挟持した二層の磁性層を有する磁気抵抗素子の前記二層の磁性層の磁化配列状態により変化する抵抗値に"0","1" の情報に対応させ、前記磁気抵抗素子に近接配置した書き込み配線に電流を流して誘導磁束を発生させ、前記磁気抵抗素子の二層の磁性層のうちいずれか一方からなる記録層の磁化方向を変化させて情報を書き込む磁気ランダムアク

セメモリであって、前記磁気抵抗素子の一方側の磁性層に近接するように書き込みセル選択用の絶縁ゲート型のトランジスタのチャネル領域が配設され、前記トランジスタは、前記磁気抵抗素子に対する情報の書き込みに際して書き込み電流として所望の大きさのチャネル電流が流れるように制御されることを特徴とする。

### 【 0 0 3 3 】

#### 【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

### 【 0 0 3 4 】

#### <第1の実施形態>

図1は、本発明の第1の実施形態に係るMRAMで用いられるメモリセルの一例について構造を模式的に示す断面図である。

### 【 0 0 3 5 】

図1において、10は半導体基板（本例ではP型Si基板）、1は書き込みセル選択用のトランジスタ（NMOSFET）のゲート酸化膜、2および3は基板表層部に選択的に形成された不純物拡散層（本例では $N^+$ 拡散層）からなるドレイン(Drain)領域およびソース(Source)領域、4はゲート電極、5および6は第1金属配線層からなるドレイン電極（コンタクトプラグ）およびソース電極（コンタクトプラグ）である。

### 【 0 0 3 6 】

21はゲート電極14の上部に配設されたMTJ素子であり、図9を参照して前述した構造と同様に、それぞれ磁性膜からなる自由層71と固定層72との間に非磁性層73が挟まれた構造によってトンネル磁気抵抗効果を有する。そして、固定層72側には反強磁性層74が配置されている。

### 【 0 0 3 7 】

本例のMTJ素子21は、磁性層として、NiFe、CoFe、CoCr、CoPtなどの磁性材料が用いられており、長方形の長辺方向に沿うようにスピン方向が付与され、長辺方向がトランジスタのチャネル幅方向に沿い、短辺方向がトランジスタのチャネル長方向に沿うように配設されている。

## 【 0 0 3 8 】

25はMTJ 素子の固定層側（本例では上部側）に連なるように形成される第1の接続配線（本例では上部配線）、26はMTJ 素子の記録層側（本例では下部側）に連なるように形成される第2の接続配線（本例では下部配線）である。

## 【 0 0 3 9 】

後述するように、上部配線25と下部配線26は、読み出し用ビット線の役割を果たす。また、書き込みセル選択用のトランジスタは、MTJ 素子21に対する情報の書き込みに際して書き込み電流として所望の大きさのチャネル電流が流れるように制御される。

## 【 0 0 4 0 】

なお、ゲート電極4 の材質は、後述するように書き込みセル選択用トランジスタのチャネル電流により発生させた誘導磁束をMTJ 素子21の記録層71に作用させる機能に支障がないものであればよく、不純物がドーピングされたポリシリコンに限らず、ポリシリコンゲート上面に金属シリサイド層が形成されたものとか、一部のMISFETで採用されているメタルゲートなどを用いることが可能である。

## 【 0 0 4 1 】

ゲート電極4 として、本例では、ポリシリコンゲート上面に金属シリサイド層が形成されたゲート電極を用いており、金属シリサイド層がMTJ 素子21の下部配線26の一部になっている。ゲート電極4 として、MTJ 素子21自体を用いることも可能であり、この場合には、後述する書き込み動作時に書き込みセル選択用トランジスタを制御するゲート電圧を図中破線で示すようにMTJ 素子21自体に印加するように変更してもよい。

## 【 0 0 4 2 】

即ち、図1に示すメモリセルは、半導体基板10上に形成された書き込みセル選択用トランジスタのゲート電極4 の上部にMTJ 素子21が配設されている。換言すれば、半導体基板10上に形成されたMTJ 素子21の一方側の磁性層71に近接するように書き込みセル選択用トランジスタのチャネル領域が配設されている。

## 【 0 0 4 3 】

なお、上記したような構造のメモリセルを、例えば図11に示したように半導

体基板上に行列状に配置してセルアレイを構成する場合には、同一行のメモリセルのトランジスタのゲート電極4 に共通に連なるゲート配線を、同一行のメモリセルのMTJ 素子21の下部配線26に共通に連なるように形成する。このゲート配線は、書き込みセル選択用ワード線の役割を果たす。また、同一行のメモリセルのMTJ 素子21に共通に連なるように上部配線25として例えばCu配線を形成する。また、書き込みセル選択用トランジスタのドレイン電極5 およびソース電極6 に直列に連なるように金属配線（図示せず）を形成し、この金属配線に書き込みセル選択用スイッチ素子を接続する。

## 【 0 0 4 4 】

次に、上記構成によるメモリセルの動作を説明する。なお、以下の説明において、図中の矢印記号は紙面に平行な方向の電流あるいは磁界の向きを示しており、×印を丸で囲んだ記号は紙面に垂直な奥向き方向の電流あるいは磁界を示しており、ドットを丸で囲んだ記号は紙面に垂直な手前向き方向の電流あるいは磁界を示している。

## 【 0 0 4 5 】

メモリセルに情報を書き込む時は、選択したメモリセルのMTJ 素子21に接続されている上部配線25に一定方向（紙面に垂直方向）の電流を流す。これとともに、選択したメモリセルの書き込みセル選択用トランジスタをオン駆動するために、上記MTJ 素子21に対応するゲート電極（ゲート配線）4 と接地電位間に所定値以上の高いゲート電圧を印加してトランジスタをオン状態にし、ドレイン電極5 とソース電極6 との間にMTJ 素子21の書き込み閾値を超えるチャネル電流（書き込み電流）を流す。この場合、ドレイン・ソース間に書き込みデータの“1”、“0”に対応した極性で電圧差を印加し、書き込みデータの“1”、“0”に対応してドレイン→ソースの方向、または、ソース→ドレインの方向に書き込み電流を流す。

## 【 0 0 4 6 】

上記したように互いに直交する方向の上部配線電流とチャネル電流を書き込み電流として流し、それぞれ誘導磁束を発生させて合成磁場を発生させ、チャネル電流の向きに応じてMTJ 素子21の記録層71の磁化方向を変化させて情報を書き込

む。この場合、ゲート配線（下部配線26）の長さ方向に沿うMTJ 素子21の長辺方向に形成されるスピンの向きは、平行または反平行となる。

【0047】

上記書き込み動作において、MTJ 素子21の長辺の長さをトランジスタのチャネル幅よりも長く形成しておくことにより、MTJ 素子の長さ方向の記録層端部に印加される磁界強度を強めることが可能になる。

【0048】

なお、書き込み時以外は、チャネル電流がMTJ 素子21の書き込み閾値電流値以下となるようにゲート配線の印加電圧を低く保持する（トランジスタをオフ状態にする）。

【0049】

メモリセルから情報を読み出す時は、選択したメモリセルのMTJ 素子21に接続されている読み出し用ビット線（上部配線25および下部配線26）に電流を流す。その結果、当該MTJ 素子21にその抵抗値に応じた電流が流れるので、読み出し用ビット線に接続されたセンスアンプ（図示せず）で電流値を検出することで情報を読み出すことができる。

【0050】

上記実施形態によれば、従来例のメモリセルで必要とした書き込み専用配線（例えば図12中に示した書き込みワード線WWL）およびそれとのコンタクトをとるためのビアなどを形成する工程を必要としなくなり、工程数を削減することができる。

【0051】

また、ゲート配線を下部配線26と共用することによって、金属配線層は2つ（ドレイン・ソース用の第1層配線および上部配線用の第2層配線）で済むので、工程数を大幅に削減でき、大幅な低コスト化が可能となる。

【0052】

さらに、書き込み時に、チャネル電流のほか、上部配線25にも電流を流し、これらの互いに直交する2つの書き込み電流によってそれぞれ発生される磁界の合成磁界を用いて書き込みを行うことにより、書き込みに必要なチャネル電流の値

(書き込み閾値)を低減することが可能になる。結果として、書き込みセル選択トランジスタのサイズを微細化でき、セルサイズを縮小でき、さらに低コスト化が可能となる。

#### 【0053】

##### <第2の実施形態>

第1の実施形態において、書き込みセル選択用トランジスタを読み出しセル選択用トランジスタとしても兼用するように変更することが可能であり、その一例を第2の実施形態として以下に示す。

#### 【0054】

図2は、第2の実施形態に係るMRAMで用いられるメモリセルの一例について構造を模式的に示す断面図である。

#### 【0055】

このメモリセルは、第1の実施形態のメモリセルと比べて、MTJ素子21の一端側の下部配線をゲート配線から電気的に分離し、この下部配線をトランジスタの一端側の例えばドレイン電極5に電気的に接続する接続用配線(例えばタンタルTa)27が形成されている点が異なり、その他は同じであるので図1中と同一符号を付している。なお、前記下部配線26を接続用配線27と共用してもよい。

#### 【0056】

このメモリセルに対する書き込み動作時には、ゲート配線と接地電位間に所定値以上の高い電圧を印加してトランジスタをオン状態にし、ドレイン電極5とソース電極6との間に書き込み電流を流す。

#### 【0057】

これに対して、読み出し動作時には、ゲート配線とソース電極6間に所望のゲート電圧を印加してトランジスタをオン状態にし、上部配線25・ソース電極6間に所望の読み出し電圧を印加し、MTJ素子21からの読み出し電流を上部配線25→MTJ素子21→読み出しトランジスタ→接地電位間に流す。

#### 【0058】

このようにMTJ素子21に直列に書き込みセル選択用トランジスタを接続した構成によれば、1個のトランジスタを、書き込みセル選択用トランジスタおよびMT

J 素子21の読み出し電流経路をスイッチする読み出しセル選択用トランジスタに共用することができる。

【0059】

#### <第3の実施形態>

図3は、本発明の第3の実施形態に係るMRAMで用いられるメモリセルの一例について構造を模式的に示す断面図である。

【0060】

このメモリセルは、第1の実施形態のメモリセルと比べて、上部配線25の表面の少なくとも一部（本例では上面および側面）にNiFe、CoZrNbなどの磁性膜31を被覆している点が異なり、その他は同じであるので図1中と同一符号を付している。

【0061】

このような構成によれば、書き込みに際して上部配線25に流す電流により発生する磁界が大きくなり、書き込みに必要なチャネル電流の値（書き込み電流の閾値）を低減することが可能になる。結果として、書き込みセル選択トランジスタのサイズを微細化でき、セルサイズを縮小でき、さらに低コスト化が可能となる。

【0062】

#### <第4の実施形態>

第1乃至第3の実施形態では、MTJ 素子21の記録層71の磁化の方向はチャネル電流の向きと直交する方向（ゲート配線の長さ方向）となっているが、MTJ 素子21の記録層71の磁化の方向をチャネル電流の方向と平行（チャネル長方向）にしてもよく、その一例を以下に示す。

【0063】

図4は、本発明の第4の実施形態に係るMRAMで用いられるメモリセルの一例について構造を模式的に示す断面図である。

【0064】

このメモリセルは、第3の実施形態のメモリセルと比べて、記録層71の磁化の方向がチャネル長方向となるようにMTJ 素子21a を配設している点が異なり、そ



の他は同じであるので図 3 中と同一符号を付している。

#### 【 0 0 6 5 】

このような構成によれば、書き込みに際して、選択したメモリセルのトランジスタに一定方向（紙面に垂直方向）のチャネル電流を流す。これとともに、上部配線に書き込みデータの“1”，“0”に対応した方向（紙面に垂直方向）にMTJ 素子 21 の書き込み閾値を超える電流を流すことにより、MTJ 素子 21a の記録層 71 の磁化の向きを切り替えることができる。これによって、トランジスタのチャネルに流す電流は 1 つの方向で済む。

#### 【 0 0 6 6 】

##### < 第 5 の実施形態 >

図 5 は、本発明の第 5 の実施形態に係る MRAM で用いられるメモリセルの一例について構造を模式的に示す断面図である。

#### 【 0 0 6 7 】

このメモリセルは、第 1 の実施形態のメモリセルと比べて、半導体基板が例えば SIO（シリコン・オン・インシュレータ）の半導体層 50 であり、この半導体層 50 上にセル選択用トランジスタとして薄膜トランジスタ (Thin film transistor) が形成されている点が異なり、その他は同じであるので図 1 中と同一符号を付している。

#### 【 0 0 6 8 】

このような第 5 の実施形態によれば、半導体基板上に形成した例えばロジック回路部を下地として、その上にセル選択用の薄膜トランジスタのアレイを積層できるので、システム・オン・シリコン (System on silicon) を容易、かつ、安価に形成することが可能になる。

#### 【 0 0 6 9 】

##### < 第 6 の実施形態 >

図 6 は、本発明の第 6 の実施形態に係る MRAM で用いられるメモリセルの一例について構造を模式的に示す断面図である。

#### 【 0 0 7 0 】

このメモリセルは、第 5 の実施形態のメモリセルと比べて、薄膜トランジスタ

の下方側にNiFe, CoZrNbなどの軟磁性膜61を配置した（例えばSiO<sub>2</sub> 基板中に埋め込んだ）点が異なり、その他は同じであるので図5中と同一符号を付している。

#### 【0071】

このようにトランジスタのチャネル領域が形成されている基板領域をMTJ 素子21とともに挟むように配設された軟磁性層61を備えた構成によれば、書き込みに際してチャネル電流により発生する磁界を大幅に強める効果がある。結果として、書き込みに必要なチャネル電流の値（書き込み電流の閾値）を大幅に低減することが可能になり、トランジスタのサイズをさらに微細化することができる。

#### 【0072】

##### <第7の実施形態>

図7は、本発明の第7の実施形態に係るMRAMで用いられるメモリセルの一例について構造を模式的に示す断面図である。

#### 【0073】

このメモリセルは、第1の実施形態のメモリセルと比べて、

（1）上部配線の表面の少なくとも一部（本例では上面および側面）にNiFe, CoZrNbなどの磁性膜31を被覆している点、（2）セル選択用トランジスタとして半導体層50上に薄膜トランジスタ（Thin film transistor）を形成した点、（3）薄膜トランジスタの下方側にNiFe, CoZrNbなどの軟磁性膜61を配置した点、（4）MTJ 素子21の下部配線とゲート配線を電氣的に分離し、MTJ 素子21の下部配線をセル選択用トランジスタの一端側の例えばドレイン電極12に電氣的に接続する接続用配線27が形成されている点が異なり、その他は同じであるので図1中と同一符号を付している。なお、下部配線を接続用配線27と共用するようにしてもよい。

#### 【0074】

上記構成のメモリセルに対する書き込み時は、第1の実施形態と同様に、トランジスタのチャネル電流としてMTJ 素子21の書き込み閾値を超える書き込み電流が流れるオン状態にトランジスタのゲート電位を設定する。

#### 【0075】

読み出し時には、トランジスタのチャネル電流としてMTJ 素子21の書き込み電

流に比べて一桁以上小さい読み出し電流が流れるオン状態にゲート電位を設定する。書き込み時／読み出し時以外は、トランジスタのチャネル電流が流れないオフ状態にゲート電位を設定する。

#### 【0076】

したがって、選択したMTJ素子21を、書き込み時だけでなく読み出しにも他のメモリセルから分離することができるので、読み出し速度が速くなる。

#### 【0077】

##### <応用例>

図8は、前記各実施形態に係るMRAMの応用例に係るメモリモジュールを示す斜視図である。

#### 【0078】

このメモリモジュールは、半導体基板上に前記各実施形態に係るメモリセルのアレイを大容量化のために任意数だけ積み重ねた構造を有するメモリチップ81を、セル選択駆動用のドライバ回路を半導体基板上に形成したドライバチップ、あるいは、書き込み／読み出し制御用のロジック回路を半導体基板上に形成したロジックチップ82などと積層してパッケージングしたものである。

#### 【0079】

このようなメモリモジュールによれば、各チップ毎の構成が簡易化されるので、それぞれの製造歩留りおよび全体の製造歩留りが改善され、さらに低コスト化が可能になる。

#### 【0080】

なお、本発明は、前記各実施形態におけるMTJ素子の記録層が多層構造からなる場合にも適用可能である。

#### 【0081】

##### 【発明の効果】

上述したように本発明の磁気ランダムアクセスメモリによれば、極めて単純なセル構造を実現でき、大幅な低コスト化を達成することができる。

##### 【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係るMRAMで用いられるメモリセルの一

例について構造を模式的に示す断面図。

【図 2】 本発明の第 2 の実施形態に係る MRAM で用いられるメモリセルの一例について構造を模式的に示す断面図。

【図 3】 本発明の第 3 の実施形態に係る MRAM で用いられるメモリセルの一例について構造を模式的に示す断面図。

【図 4】 本発明の第 4 の実施形態に係る MRAM で用いられるメモリセルの一例について構造を模式的に示す断面図。

【図 5】 本発明の第 5 の実施形態に係る MRAM で用いられるメモリセルの一例について構造を模式的に示す断面図。

【図 6】 本発明の第 6 の実施形態に係る MRAM で用いられるメモリセルの一例について構造を模式的に示す断面図。

【図 7】 本発明の第 7 の実施形態に係る MRAM で用いられるメモリセルの一例について構造を模式的に示す断面図。

【図 8】 本発明の MRAM の応用例に係るメモリモジュールを示す斜視図。

【図 9】 MRAM で用いられる MTJ 素子の一般的な構造を概略的に示す断面図。

【図 1 0】 図 9 中の MTJ 素子の 2 つの磁性層のスピンの向きを示す図。

【図 1 1】 MRAM のセルアレイの平面レイアウトの一例を模式的に示す図。

【図 1 2】 図 1 1 中の A - A 線に沿うビット線に垂直な面内においてメモリセルの 1 個分に着目して構造の一例を模式的に示す断面図。

【図 1 3】 図 1 1 中の B - B 線に沿う書き込みワード線に垂直な面内の構造の一例を模式的に示す断面図。

【図 1 4】 図 9 に示した MTJ 素子の印加磁界の反転による抵抗値の変化特性を示す特性図。

【図 1 5】 図 9 に示した MTJ 素子のアステロイド曲線を示す特性図。

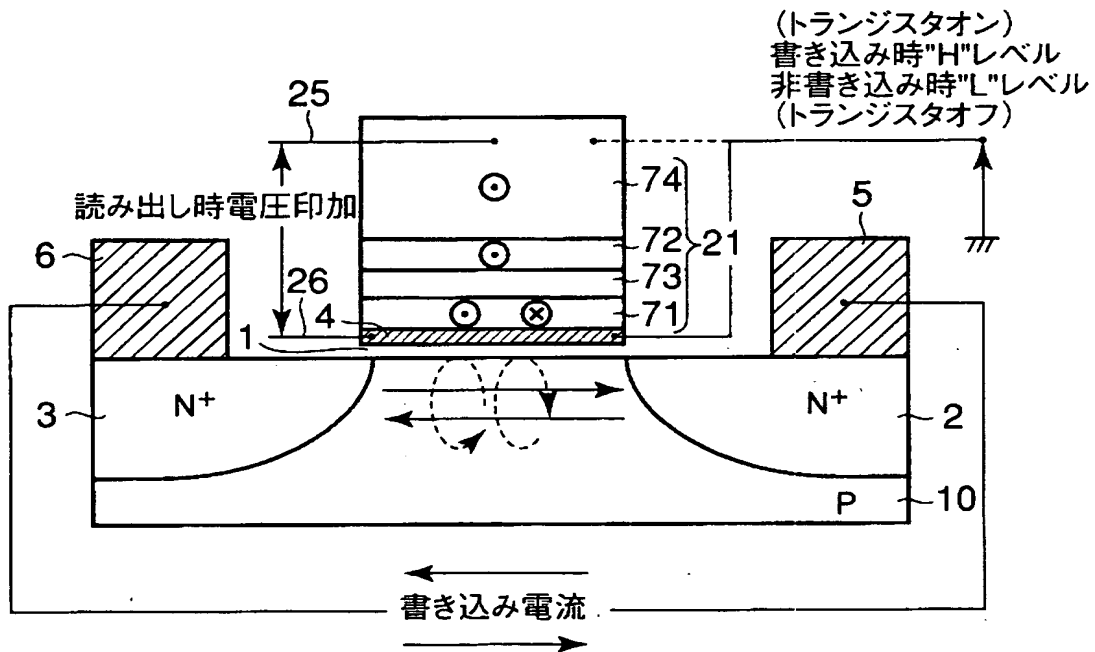
【符号の説明】

10…半導体基板、1 …書き込みセル選択用のトランジスタ (NMOSFET) のゲート酸化膜、2 …ドレイン (Drain) 領域、3 …ソース (Source) 領域、4 …ゲート電極 (ゲート配線)、5 …ドレイン電極 (コンタクトプラグ)、6 …ソース電極 (コ

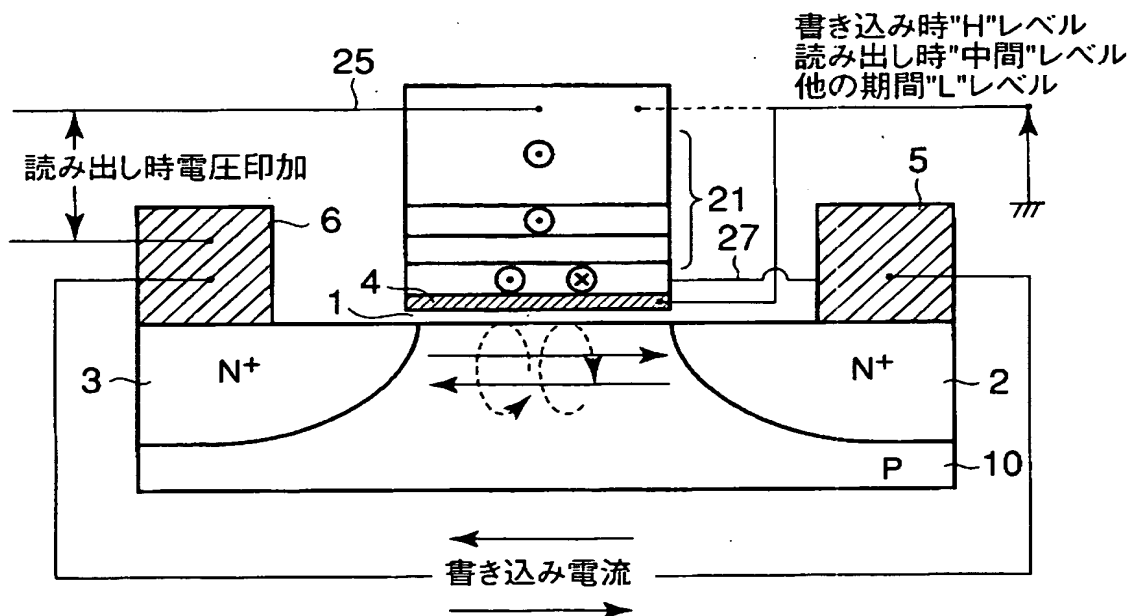
ンタクトプラグ)、21…MTJ 素子、25…上部配線、26…下部配線、71…自由層、  
72…固定層、73…非磁性層。

【書類名】 図面

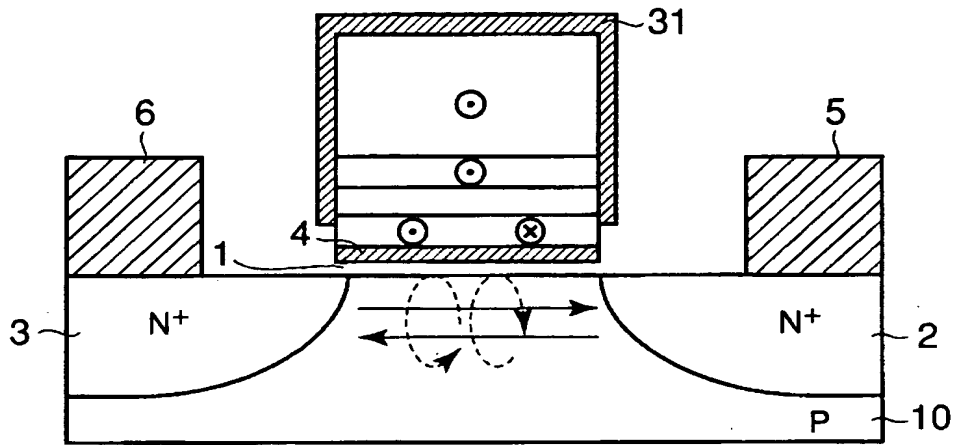
【図 1】



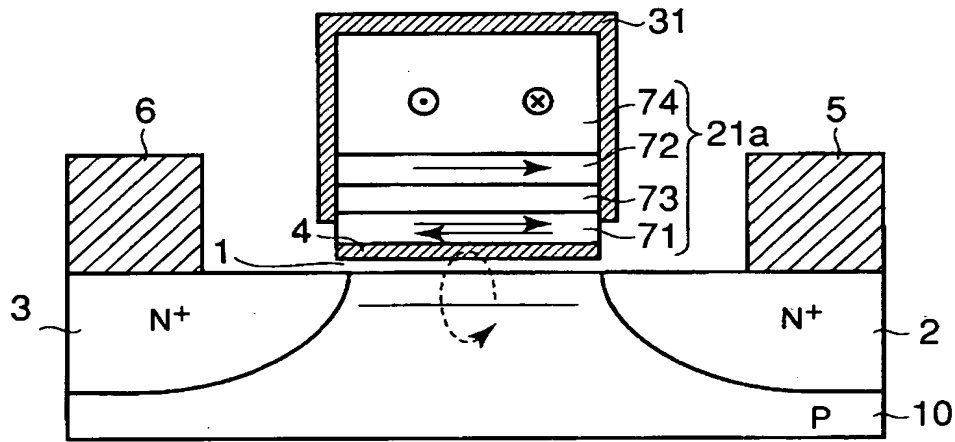
【図 2】



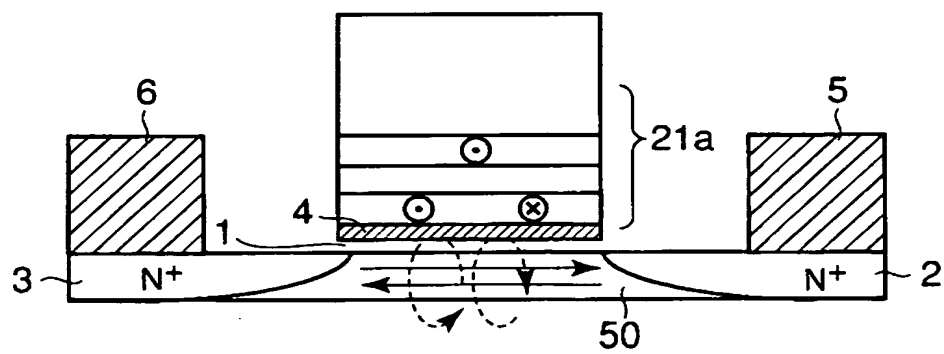
【図 3】



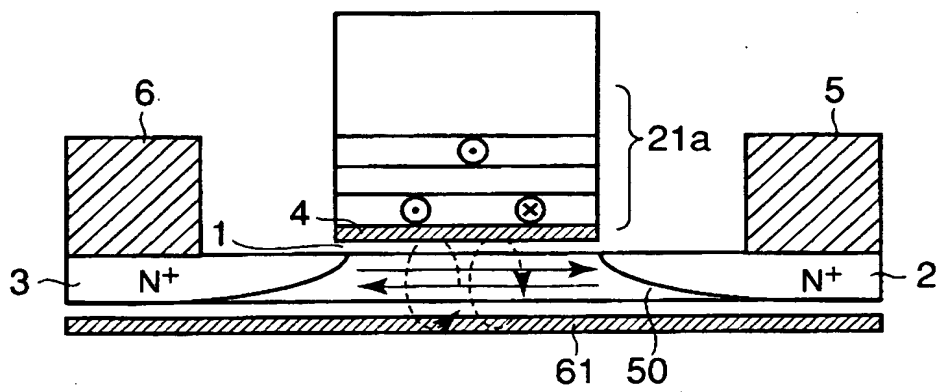
【図 4】



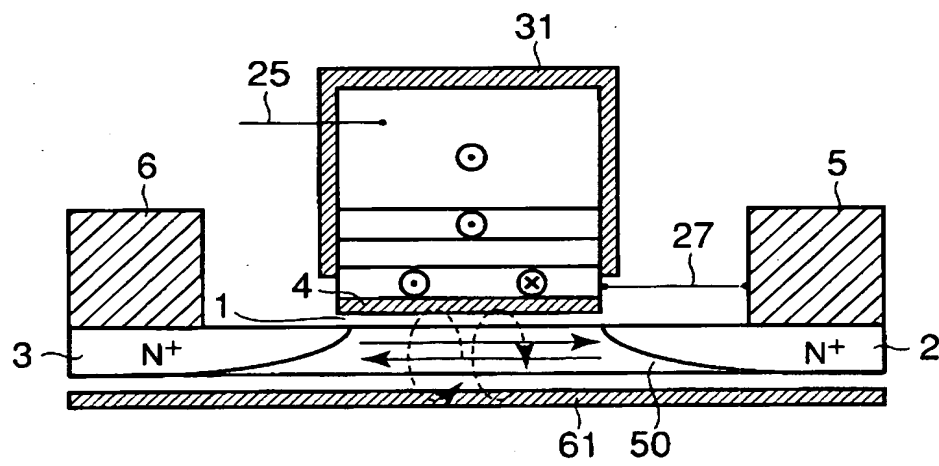
【図 5】



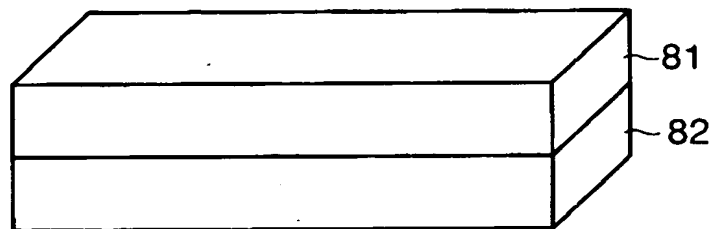
【図 6】



【図 7】

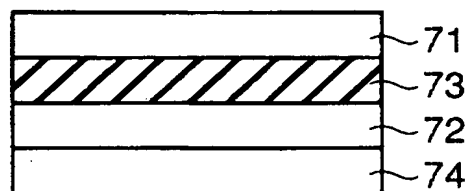


【図 8】

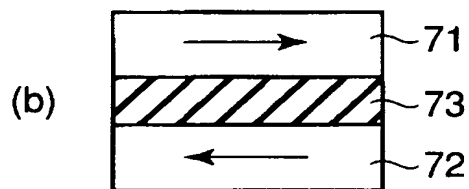
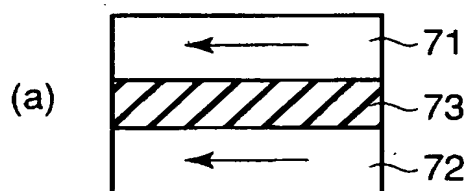




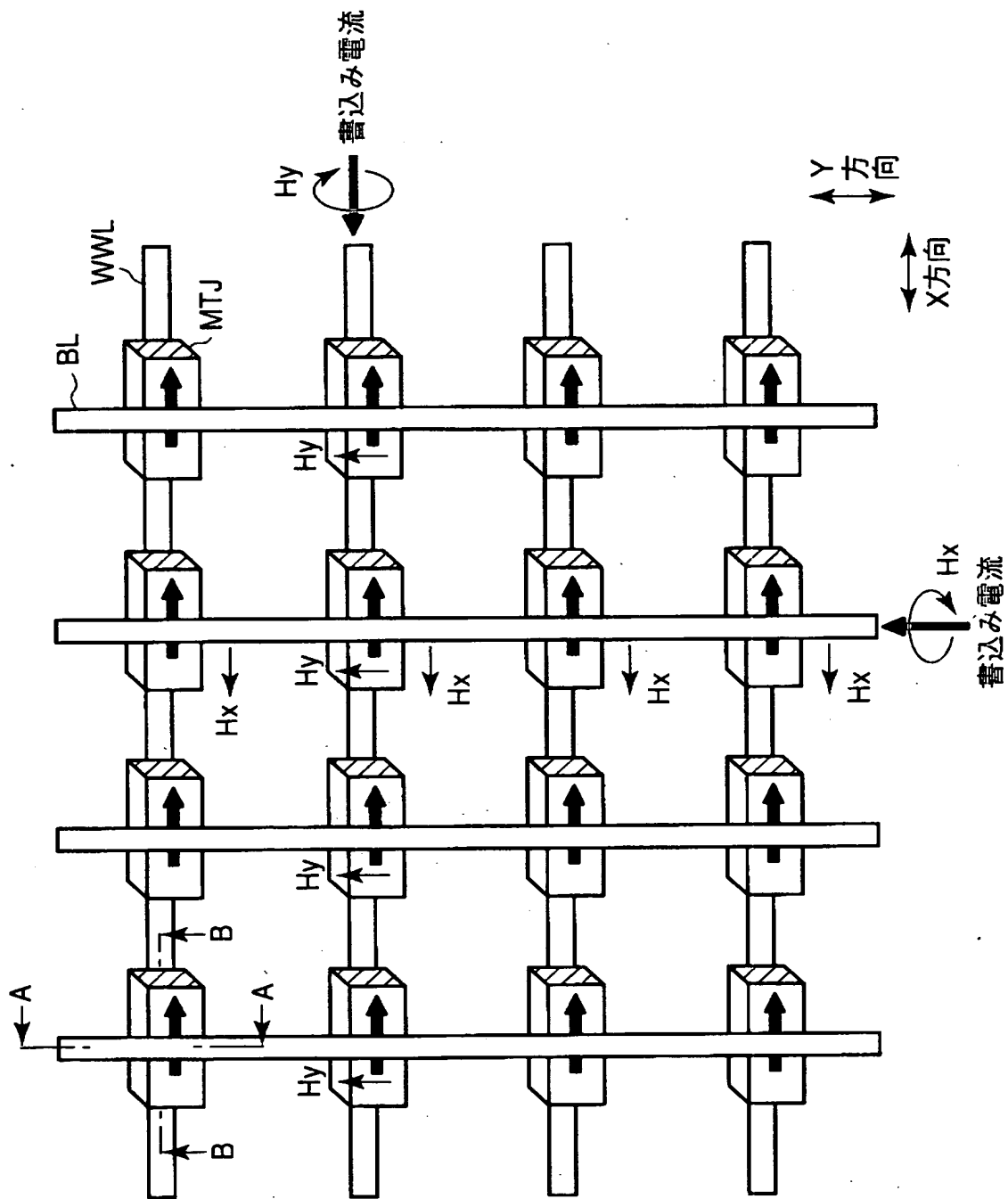
【図 9】



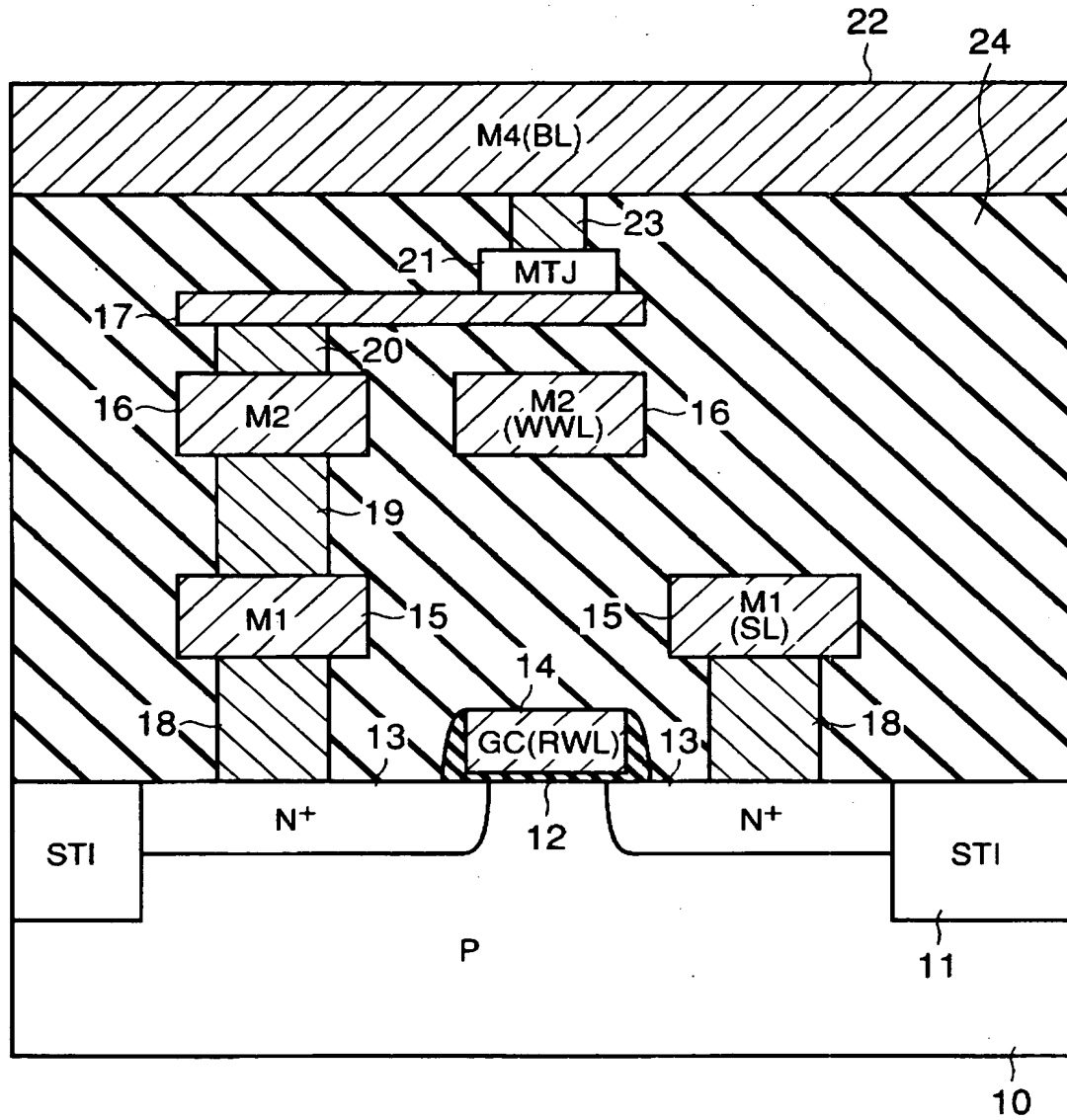
【図 1 0】



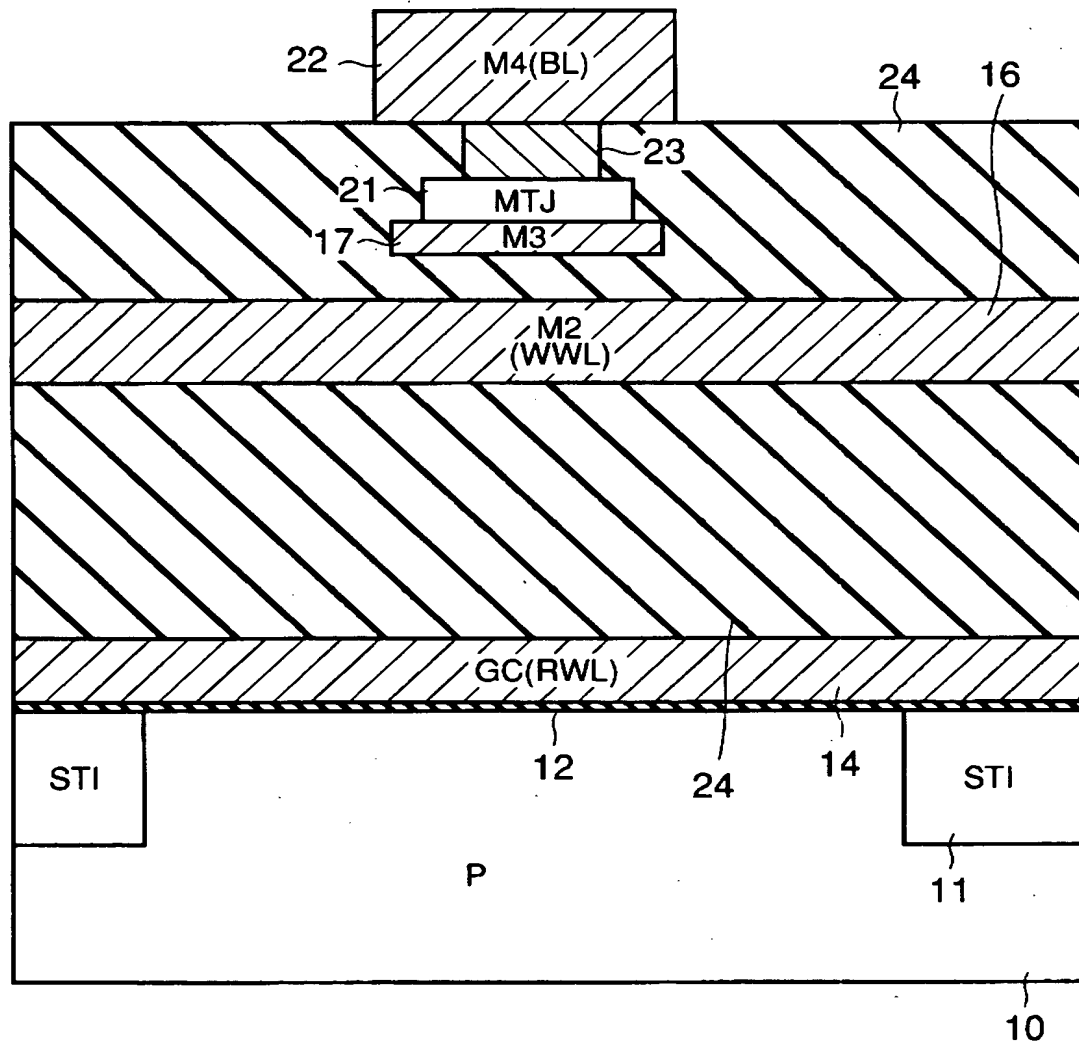
【図 11】



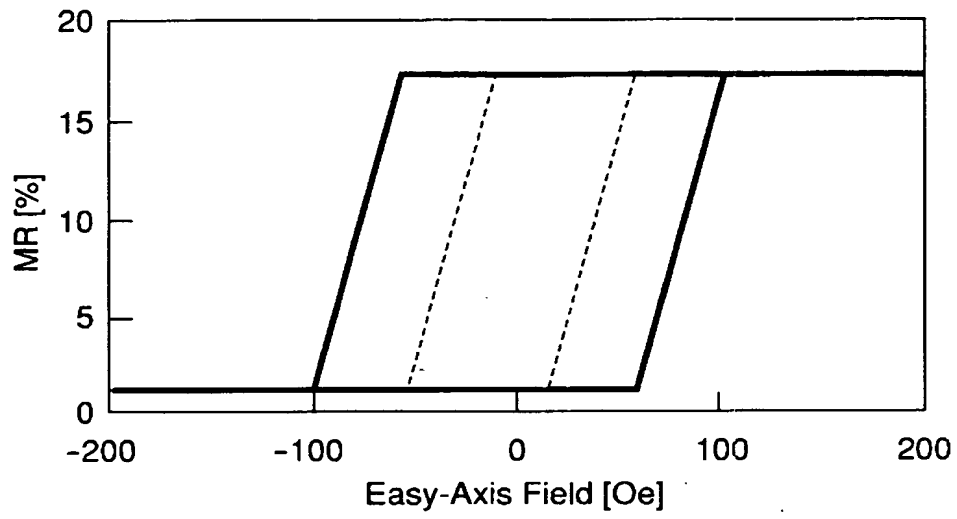
【图 1 2】



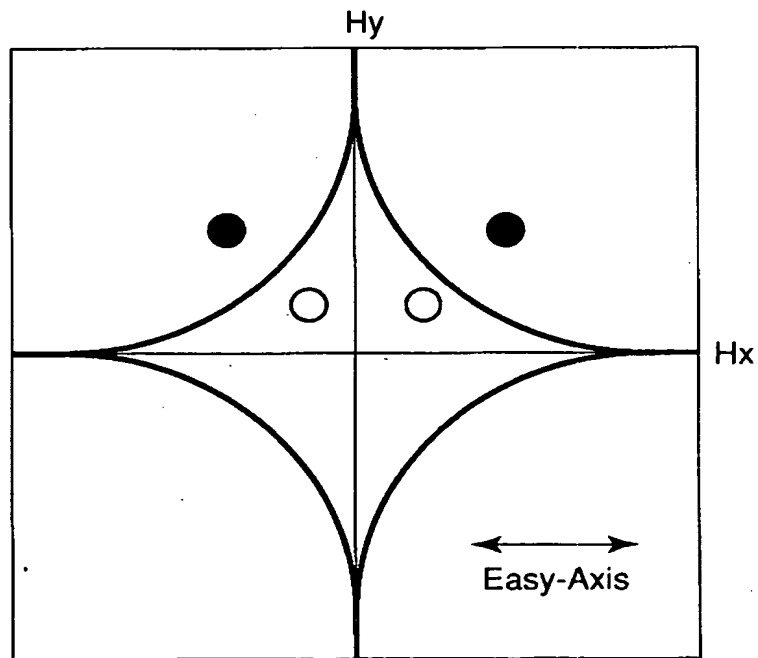
【図 13】



【図 14】



【図 15】



【書類名】                      要約書

【要約】

【課題】    磁気ランダムアクセスメモリのセル構造を極めて単純化し、大幅な低コスト化を達成する。

【解決手段】    磁気ランダムアクセスメモリにおいて、書き込みセル選択用のMOSFETのゲートの上部にMTJ素子を配置し、MTJ素子の書き込みに際してMOSFETのチャネル電流を書き込み電流として用いる。

【選択図】        図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**